

PSPICE МОДЕЛИРАНЕ НА ИМПУЛСНИ ЗАХРАНВАНИЯ С ИНТЕГРАЛ-НА СХЕМА VIPER100A

Доброслав Данков¹, Продан Проданов¹

¹Технически университет-Габрово, катедра Електроника

PSPICE MODELING OF SMPS WITH IC VIPER100A

Dobroslav Dankov¹, Prodan Prodanov¹

¹Technical University of Gabrovo, Department of Electronics

Abstract

A behavioral PSpice model of Viper100A is developed in the paper. Computer realization of the parameterized model corresponding to the functional description of the Viper100A is proposed. The parameterized PSpice macromodel is created in the form of block in schematic view. The waveforms representing the characteristics of Viper100A are given. The operation modes, PSpice model of Viper100 and steps for the parameters extraction are proposed. A prototype circuit designed for a 41 W SMPS was built and tested to verify the model. Satisfactory performances are obtained from the experimental results.

Keywords: Spice simulation, PSpice model, Switched-mode power supply /SMPS/, Viper100A.

ВЪВЕДЕНИЕ

Viper100/100A се изработва чрез използването на VIPower MO технология, която комбинира в един силициев чип високотехнологичен ШИМ заедно с оптимизиран високоволтов лавинен вертикален мощен MOSFET транзистор (620V или 700V/ 3A). Схемата представлява второ поколение чип, който интегрира в себе си мощен ключ и управление. Типичните приложения на интегралната схема VIPer100 са импулсни захранвания без обратна връзка с изходна мощност от 50W за едно изходно напрежение и 100W за две и повече изходни напрежения.

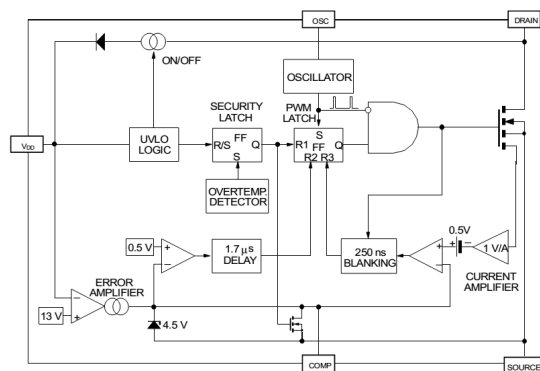
ИЗЛОЖЕНИЕ

Блокова диаграма на схемата е дадена на фиг.1 [2]. Приложима е обратна връзка за регулиране на изходното напрежение от първичната или вторична страна на трансформатора, като се употребяват около 50% по-малко компоненти в сравнение с дискретните решения.

При работа в режим готовност (без товар), при най-малък коефициент на запълване на управляващите импулси към сило-

вия транзистор, се използва нискочестотна модулация (burst mode).

Токът I_{DRAIN} е вътрешно ограничен.



Фиг. 1. Блокова схема на Viper100/100A

Функционално описание на изводите.

Извод DRAIN (дрейн) на интегрирания мощен MOSFET транзистор осигурява вътрешен ток за стартовия процес, чрез вграден високоволтов източник на ток. Елемента може да поеме токови претоварвания по време на установен режим и затова не се нуждае от защитна група.

Извод SOURCE (сорс) на мощният MOSFET транзистор е свързан към маса.

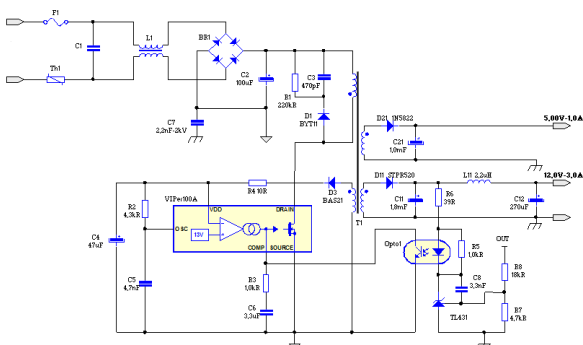
Извод VDD изпълнява две функции: при ниско напрежение под 8V активира източ-

ника на стартов ток, като изключва мощния MOSFET транзистор до достигане на 11V напрежение на VDD. При това се редуцира тока на консумация на интегралната схема до 2mA, като извод COMP се свързва към маса. Извод VDD е свързан също към вградения усилвател на грешката, за да се осигури първично (без обратна връзка) или вторично (с обратна връзка) регулиране. В случай на първично регулиране се използва вътрешния източник на напрежение 13V за захранване на извод VDD. За вторично регулиране напрежението, захранващо извод VDD е между 8.5V и 12.5V и постъпва от допълнителната намотка на силовия трансформатор.

Извод COMP изпълнява две функции. Първата е като изход на усилвателя на грешката - присъединява се филтър за осигуряване на стабилна обратна връзка и подходяща честотна лента. Втората функция е ако напрежението на извод COMP падне под 0.5V спира широчинно-импулсната модулация и се изключва силовия транзистор. Използва се за защита или работа на схемата в режим готовност.

Към извод OSC се свързва R-C група за осигуряване на честотата на превключване. Тя не се променя при изменение на захранващото напрежение на интегралната схема в границите от 8V до 15V. Този извод осигурява също и синхронизацията на Viper100 в случаите, когато имаме външен източник на тактов сигнал.

На фиг. 2 е показана схема на AC/DC импулсен токозахранващ източник на базата на интегрална схема Viper100. Тя представлява второ поколение чип, който интегрира в себе си мощен транзисторен ключ и управлението му по метода на широчинно-импулсната модулация.



Фиг. 2. Схема на импулсен токозахранващ източник с интегрална схема VIPER 100

Мрежовото напрежение се изправя и филтрира от мрежовия изправител и филтър, след което постоянното напрежение се “накъсва” от транзисторен ключ, работещ с честота 100kHz.

Полученото високочестотно напрежение се подава на трансформатор T1 с подходящо преводно отношение. На вторичните страни на трансформатора напреженията се изправят и филтрират от високочестотен изправител и филтър, при което се получават необходимите високочестотни напрежения 12V/3A и 5V/1A. Веригата на обратна връзка се включва в управляващата схема и чрез драйверно стъпало управляващите импулси се подават за управление на ключа.

След мрежовия изправител и филтър схемата представлява галванично разделен полярно реверсивен импулсен преобразувател на постоянно напрежение.

Принципа на работа е следния. Когато е отпушен мощният транзистор в интегралната схема VIPER 100A, в първичната намотка на трансформатора се натрупва енергия. Прехвърлянето ѝ в товара се осъществява при запушване на мощния транзистор, чрез вторичните намотки и диодите D11 и D21. Токовете в първичната и вторичните намотки протичат в различни интервали от време и стойностите им са пропорционални на коефициента на трансформация. Поляритетата на изходното напрежение е в съответствие с начина на навиване на намотките от фиг. 2 и неговата стойност основно се определя от коефициента на трансформация.

При запушване на транзистора напрежението му е относително високо, равно на сумата от захранващото, напрежението на първичната намотка и допълнително напрежение по причина на паразитната индуктивност на трансформатора. Това означава, че транзисторът при галванично разделяния полярно реверсивен импулсен преобразувател на постоянно напрежение трябва да има работно напрежение, най-малко два пъти по-голямо от захранващото.

Използваната тук интегрална схема Viper100A е с максимално напрежение върху вградения в нея транзистор 700V. В интервала, когато транзистора е запушен, то-

варът се захранва с енергия само от филтровия кондензатор, което налага използването на кондензатор с голям капацитет и малко вътрешно съпротивление за да се постиганат малки пулсации на изходното напрежение.

Основната функция на дросела не е променена, като тук тя се изпълнява от индуктивностите на първичната и вторичната намотки. По този начин трансформатора се превръща в “трансформатор - дросел”, който е способен самостоятелно да формира желаната изходна характеристика.

Проблемът с големия ток на празен ход в схемите от този вид тук е решен чрез така наречения burst mode – режим на нискочестотна модулация, който се установява автоматично, при липса на товар в изхода. При този режим консумацията на схемата е под 1W.

Схемата има предимството, че съдържа малък брой елементи и лесно се получават повече на брой изходни напрежения. Всеки изход се получава, чрез прибавяне на допълнителна вторична намотка на трансформатора, диод и кондензатор.

Тази схема на галванично разделен импулсен преобразувател за постоянно напрежение, може да се използва за мощност до 41W, в качеството на захранващ източник на LCD телевизори, монитори и DVD плеъри, принтери и други.

PSpice моделиране на импулсно захранване, чрез еквивалентен модел на интегрална схема Viper100A.

Проблем при моделиране на Viper100 е че фирмата производител не предлага подходящ PSpice модел на интегралната схема. Един възможен подход за разрешаване на този проблем е използването на т.н. функционално моделиране, описано в [1] по отношение на подобна ИС от фамилията TOPSwitch. Поради недостатъчната каталожна информация за функционирането на отделните блокове от фиг.1 в описанието на ИС Viper100, този подход в случая е неприложим.

Друг подход е модифициране на PSpice модела на подобната ИС Viper35, представен в [3]. Трябва да се отбележи, че двете ИС от серията Viper работят по различен

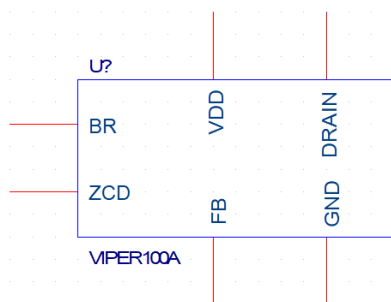
начин. Докато Viper100 е класическа схема с широчинна-импулсна модулация /ШИМ/ за регулиране на изходното напрежение, то Viper35 е типичен представител на актуалните напоследък квази-резонансни схеми с токово ШИМ регулиране. Директното модифициране на PSpice модела на ИС Viper35 по тази причина е невъзможно. Използва се подход за описание на основните блокове от структурата, представена на фиг.1, като подсхеми в общия модел, като са направени корекции по отношение на параметрите на мощния MOSFET транзистор в VIPER100_XVIPER100_SW_NMOS_LS подсхема, както и по отношение на използваните блокове – фиг.3. Създадения модел е записан като отделен файл - VIPER100.lib.

Model Name	Type	Modified Date/Tim
VIPER100	SUBCKT	
CONSUMO_da_VDD	SUBCKT	
STARTUP_DETECTOR_VIPER100	SUBCKT	
COUNTER_13_bit	SUBCKT	
TOSC_BLANK	SUBCKT	
PROT_BROWNOUT	SUBCKT	
ZCD_clamp	SUBCKT	
CV_REGULATION	SUBCKT	
OSC_SYNC_WITH_ON	SUBCKT	
TIMEOUT_CHECK	SUBCKT	
PULSE_GEN	SUBCKT	
BURST_block	SUBCKT	
ZCD_TBLANK	SUBCKT	
PROT_OLP	SUBCKT	
UVLO_block	SUBCKT	
STARTER	SUBCKT	
COUNTER_4_bit	SUBCKT	
CC_REGULATION	SUBCKT	
ZCD_ARM_TRIG	SUBCKT	
ZCD_SAMPLE	SUBCKT	
HV_current_generator	SUBCKT	
SOFTSTART_DLIM_VIPER100	SUBCKT	
COUNTER_6_bit	SUBCKT	
PROT_OVP	SUBCKT	
COUNTER_3_bit	SUBCKT	
VVIPER100_XVIPER100_SW_NMOS_LS	SUBCKT	
VIPER100_Fsense	SUBCKT	
ZCD_clamp_XVIPER100_XZCD_CLAMP_S_PMOS	SUBCKT	
ZCD_clamp_H1	SUBCKT	
CV_REGULATION_XVIPER100_XCV_SW_PULLDOWN_FB	SUBCKT	
CV_REGULATION_XVIPER100_XCV_S_NMOS_VFBlin	SUBCKT	
CV_REGULATION_XVIPER100_XCV_S_NMOS_RFB_DYN	SUBCKT	
CV_REGULATION_XVIPER100_XCV_S_NMOS_R1_R2	SUBCKT	
TIMEOUT_CHECK_XVIPER100_XOSC_XTIMER_S_PMOS	SUBCKT	
ZCD_TBLANK_XVIPER100_XTBLANK_S_PMOS	SUBCKT	
ZCD_SAMPLE_XVIPER100_XSAMPLE_ZCD_SW_NMOS_SH	SUBCKT	
COMP_NOHYST	SUBCKT	
COMP_HYST	SUBCKT	
DAC_4bit	SUBCKT	
DAC_5bit	SUBCKT	
DACModel	Unknown	
DVLM	Diode	
DILIM	Diode	
Dpower	Diode	

Фиг. 3. PSpice модел на Viper100.

За да може създадения модел да се използва при въвеждането на схема в графичния редактор Capture е създадена библио-

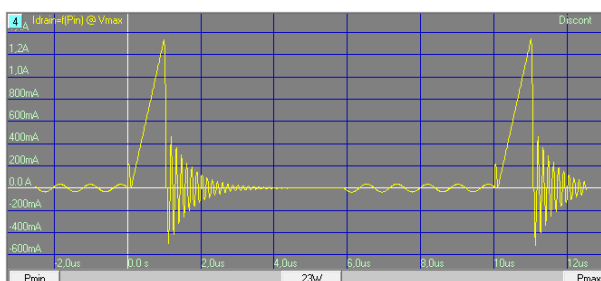
теката VIPER100.OLB с графичното изображение на Viper100, показано на фиг. 4.



Фиг. 4. Графичен символ на Viper100 за OrCAD Capture

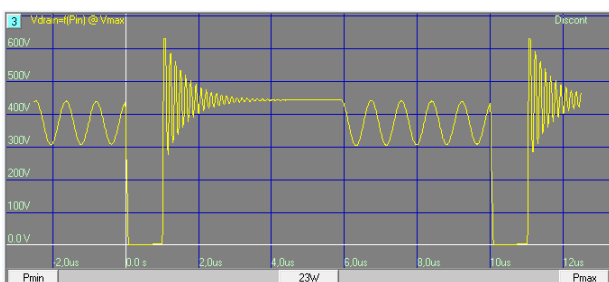
При симулацията има известни проблеми при работата на генераторните и релаксионните схеми [4]. Поради това вътрешния блок Oscillator и външните честотноопределящи елементи R2 и C5 са заменени от източник на импулсно напрежение с амплитуда 5V и честота 200 kHz в подсхемата Pulse_Gen.

Графиката от моделирането на дрейновия ток $I_{DRAIN}=f(t)$ при 23W изходна мощност е показана на фиг.5. Изходната честота, поради наличието на тригера PWM Latch е 100 kHz



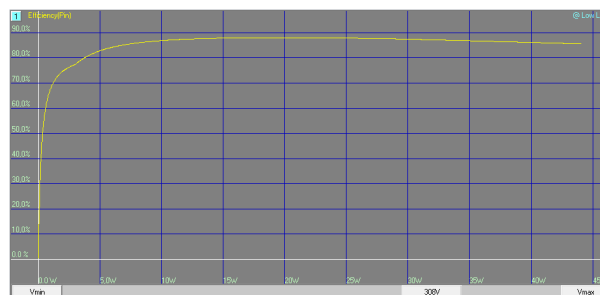
Фиг. 5. Времева диаграма на дрейновия ток I_{DRAIN}

Графика на дрейновото напрежение $V_{DRAIN}=f(t)$ при 23W изходна мощност – фиг. 6.



Фиг. 6. Времева диаграма на напрежението V_{DRAIN}

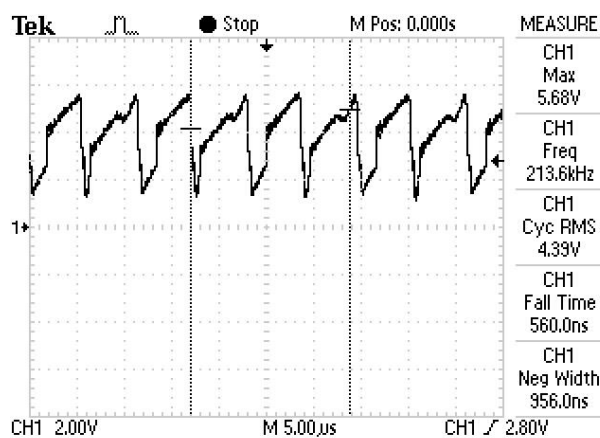
Зависимостта на коефициента на полезно действие от входната мощност $\eta=f(P_{IN})$ при симулацията е показана на фиг.7. В установен режим η варира от 78 до 88 %.



Фиг. 7. Зависимост $\eta=f(P_{IN})$ в резултат на моделиране

Изследване и експериментални резултати.

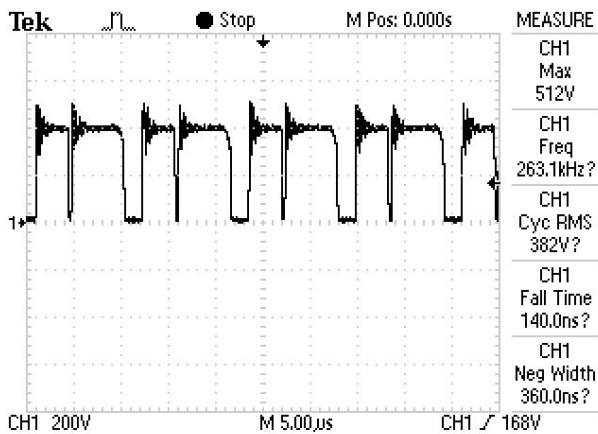
За заснемане на експериментални осцилограми в установен режим на изхода за 12V се включва товарно съпротивление $33\Omega/75W$. При тази стойност на резистора протичащия ток през него е 0.37A. За първи извод на интегралната схема Viper100A, означен с OSC (генератор), е заснета осцилограма в режим на работа с товар, показана на фиг. 8.



Фиг. 8. Осцилограма на извод OSC

Виждаме триъгълнообразни генерации с честота 213.6 kHz в режим на работа с товар. Напрежението на този извод V_{OSC} може да приема стойност от 0V до VDD. В случая V_{OSC} е с максимална стойност 5.68V.

На трети извод на интегралната схема Viper100A, означен с Drain (дрейна на мощния MOSFET транзистор), наблюдаваме осцилограмата от фиг.9.

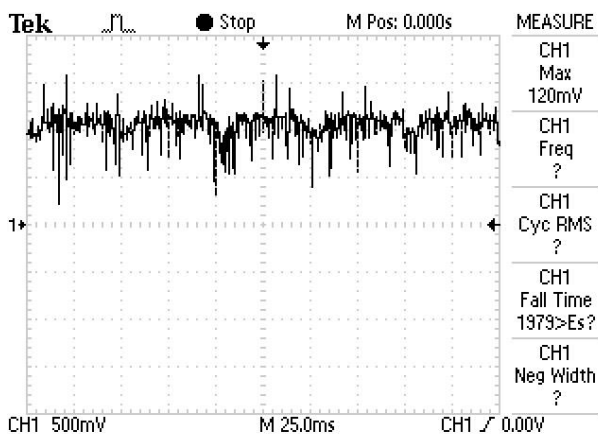


Фиг. 9. Осцилограма на извод Drain

От тези осцилограми наблюдаваме вида на импулсите на напрежението между дрейн и сорс. В режим на работа с товар се вижда, че максималната стойност на пика на импулса е 512V, при максимално допустимо за интегрална схема Viper100A напрежение $U_{DS} = 700V$.

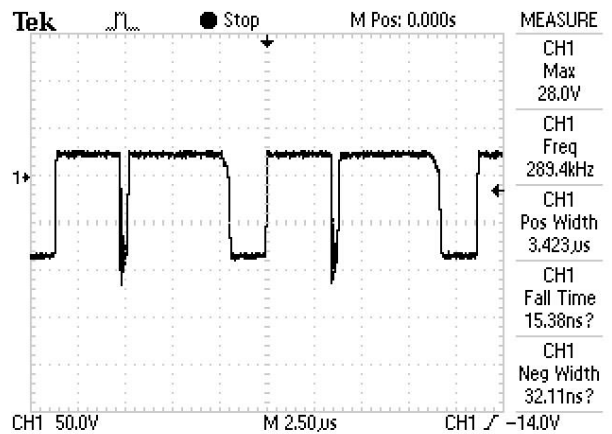
В пети извод на интегралната схема Viper100A, означен с Comp (за сигнала от обратната връзка) наблюдаваме осцилограмата от фиг. 10.

Напрежението V_{COMP} на извод COMP може да бъде в границите от 0 до 5V. В режим на работа с товар отчитаме неговата максимална стойност 120mV.



Фиг. 10. Осцилограма на извод COMP

Напрежението на анода на диода D11, тоест напрежението на вторичната намотка на импулсния трансформатор за 12V, наблюдаваме осцилограмата от фиг. 11.



Фиг. 11. Осцилограма на извод COMP

За заснемане на експерименталните характеристики между C2 и R1 се свързва амперметър за отчитане на тока на консумация I_{IN} . На изхода за 12V се свързва резистор за промяна на товарното съпротивление и амперметър за измерване на изходния ток I_{21} . Входното напрежение U_{IN} се измерва между анода на C2 и SGND. Получените резултати са обобщени таблично в табл. 1.

Табл. 1

I_{IN}, A	0,02	0,035	0,053	0,07	0,095	0,11	0,123	0,135
U_{IN}, V	328	328	328	328	328	328	328	328
P_{IN}, W	6,56	11,48	17,38	22,96	31,16	36,08	40,34	44,28
I_{21}, A	0,4	0,6	1,2	1,6	2	2,4	2,8	3,2
U_{21}, V	12,5	12,2	12,1	12,2	12,05	12	12	11,9
P_{21}, W	5	7,32	14,52	19,52	24,1	28,8	33,6	38,08
$\eta, \%$	76,2	63,8	83,5	85	77,3	79,8	83,3	86

Използвани са следните формули :

$$P_{IN} = U_{IN} \cdot I_{IN}, W \quad (1)$$

$$P_{21} = U_{21} \cdot I_{21}, W \quad (2)$$

$$\eta = (P_{21}/P_{IN}) \cdot 100, \% \quad (3)$$

За да се верифицира създадения PSpice модел на ИС Viper100 е направено симулиране на работата на схемата на AC/DC импулсен токозахранващ източник от фиг. 2 при едни и същи изходни токове I_{21} както при реалните експериментални изследвания. Резултатите от симулацията са обобщени в таблица 2.

Табл. 2

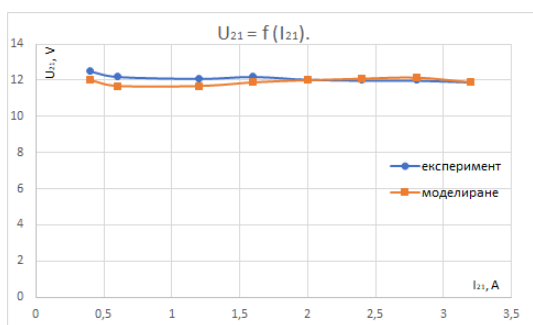
I_{IN}, A	0,02	0,03	0,05	0,07	0,09	0,11	0,13	0,15
U_{IN}, V	328	328	328	328	328	328	328	328
P_{IN}, W	6,03	8,48	16,32	22,62	28,48	35,94	42,7	48,66
I_{21}, A	0,4	0,6	1,2	1,6	2	2,4	2,8	3,2
U_{21}, V	12,00	11,67	11,67	11,88	12,00	12,08	12,14	11,88
P_{21}, W	4,8	7	14	19	24	29	34	38
$\eta, \%$	76,2	63,8	83,5	85	77,3	79,8	83,3	86

В таблица 3 са обобщени абсолютните и относителни грешки на симулацията с предложения модел спрямо реалния експеримент, по отношение на параметрите, които се различават.

Табл.3

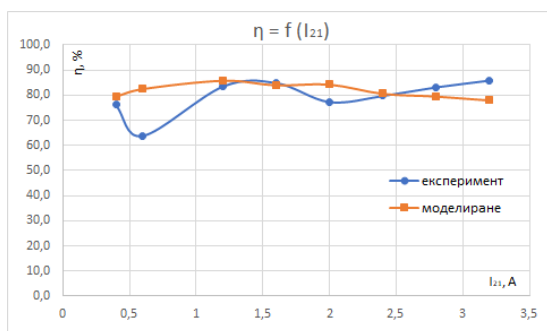
$\Delta I_{IN}, \text{mA}$	-2	-2	-3	-1	-8	0	7	13
$\epsilon I_{IN}, \%$	-8,79	-8,30	-6,52	-1,50	-9,41	-0,39	5,52	9,00
$\Delta P_{IN}, \text{W}$	-0,53	-0,70	-1,06	-0,34	-2,68	-0,14	2,36	4,38
$\epsilon P_{IN}, \%$	-8,79	-8,30	-6,52	-1,50	-9,41	-0,39	5,52	9,00
$\Delta U_{21}, \text{V}$	-0,50	-0,53	-0,43	-0,33	-0,05	0,083	0,143	-0,025
$\epsilon U_{21}, \%$	-4,17	-4,57	-3,71	-2,74	-0,42	0,69	1,176	-0,211
$\Delta P_{21}, \text{W}$	-0,20	-0,32	-0,52	-0,52	-0,10	0,200	0,40	-0,080
$\epsilon P_{21}, \%$	-4,17	-4,57	-3,71	-2,737	-0,417	0,69	1,176	-0,211
$\Delta \eta, \%$	3,382	2,843	2,259	-1,021	6,927	0,867	-3,658	-7,905
$\epsilon \eta, \%$	4,249	3,444	2,634	-1,215	8,220	1,075	-4,595	-10,123

Графиката от фиг. 12 представя товарната характеристика на схемата, снета на изхода за $12 \text{ V} - U_{21} = f(I_{21})$ при реалния експеримент и съответно симулацията. От тази графика се вижда, че изходното напрежение е относително стабилно при изходен ток до 3.2 А, като с увеличаване на тока грешката намалява.



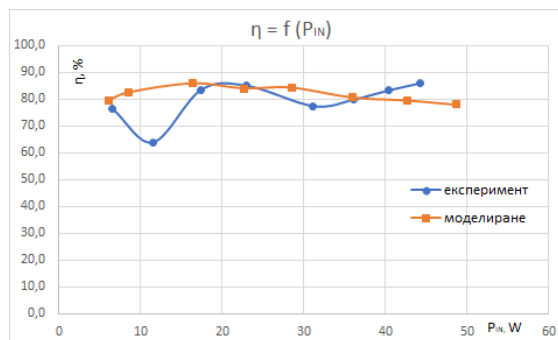
Фиг. 12. Товарна характеристика

На фиг. 13 е представена и зависимостта на КПД от изходният ток $\eta = f(I_{21})$. От тази графика виждаме относително добрият КПД, постигнат на практика, при усредняване на стойностите - $\eta > 80\%$, както при експеримента, така и при симулациите.



Фиг. 13. Зависимостта на КПД от изходния ток

За да се изследва точността на моделирането е построена и експерименталната характеристика на зависимостта на коефициента на полезно действие от входната мощност $\eta = f(P_{IN})$, показана на фиг. 14. Големите флукутации на стойностите при реалния експеримент могат да се обяснят с грешки при измерване.



Фиг. 14. Зависимост на КПД от входната мощност

ЗАКЛЮЧЕНИЕ

В настоящия доклад е направено PSpice моделиране на импулсно захранване, чрез предложен еквивалентен модел на интегрална схема Viper100A. Симулационните изследвания са верифицирани с практически експерименти на реализираната схема. Резултатите съвпадат с достатъчна за инженерната практика точност, като най-голямата относителна грешка е около 10%. Предложения модел и методика за изчисление на еквивалентните параметри, може да се използва и при други подобни импулсни захранвания и приложения на интегрална схема Viper100A.

REFERENCE

- [1] Todorov D., E. Gadjeva, G. Kunov, Behavioral computer model of TOPSwitch, 15th International Symposium on Power Electronics - Ee 2009, Novi Sad, Republic of Serbia, October 28th - 30th, 2009, Paper No T1-1.1, p.1-4.
- [2] VIPower: 108 W power supply using VIPer100A-E, AN1344 STMicroelectronics Application note, October 2007.
- [3] OrCAD PSpice model usage instructions, UM2167, User manual, 2017 STMicroelectronics.
- [4] Yun Jae Yi, Yun Seop Yu : Pspice Modeling of Commercial ICs for Switch-Mode Power Supply (Smps) Design and Simulation, International Journal of Kimics, Vol. 9, No. 1, February 2011, pp.74-77.